

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-096585

(43)Date of publication of application : 04.06.1984

(51)Int.Cl.

G11C 9/06

G06F 13/00

(21)Application number : 57-206351

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.11.1982

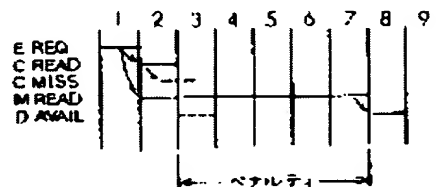
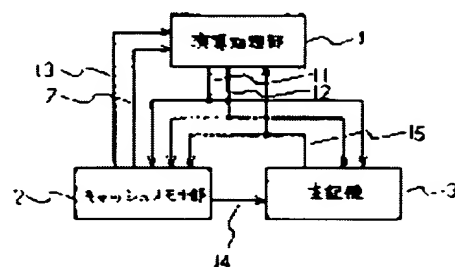
(72)Inventor : MURATA YUTAKA

(54) MEMORY CONTROLLING SYSTEM

(57)Abstract:

PURPOSE: To reduce lowering of performance in the case of cash mistake by providing a function of transferring reading request of data and memory address in a cash memory and a main memory simultaneously in a data processing device.

CONSTITUTION: When an arithmetic processing unit 1 requests taking out of instruction and operand, request for reading out data is given to a cash memory 2 and a main memory 3 simultaneously, and data address is transferred by an address line 12. The main memory 3 starts reading of data regardless of whether this request makes cash hit or not. On the other hand, the cash memory section 2 investigates whether requested data exist in the section or not. In the case of cash hit, data are read out from the cash memory section 2 and transferred to the arithmetic unit 1 through a data line 13. At the same time, instruction to stop reading operation is given to the main memory 3, and the main memory 3 stops reading operation of data thereafter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭59-96585

⑬ Int. Cl.³
G 11 C 9/06
G 06 F 13/00

識別記号

庁内整理番号
8219-5B
7361-5B

⑭ 公開 昭和59年(1984)6月4日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 記憶制御方式

⑯ 特 願 昭57-206351
⑰ 出 願 昭57(1982)11月25日
⑱ 発 明 者 村田裕
鎌倉市上町屋325番地三菱電機

株式会社情報電子研究所内
⑲ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称 記憶制御方式

2. 特許請求の範囲

キャッシュメモリを有するデータ処理装置において、データの取り出し要求が生じた場合に、前記キャッシュメモリと主記憶に対して同時に読み出し動作を開始させる手段と、前記キャッシュメモリに前記データが存在するキャッシュヒットの場合に、前記主記憶の読み出し動作を途中で中止させる手段とを備え、前記キャッシュヒットした場合には、前記キャッシュメモリから前記データを読み出すとともに、前記主記憶に対してデータの読み出し中止指令を出して主記憶の読み出し動作を中止させ、前記キャッシュメモリに前記データが存在しないキャッシュミスした場合には、既に開始されている前記主記憶の読み出し動作を続行させて該主記憶から前記データを読み出す制御を行なうようにしたことを特徴とする記憶制御方式。

3. 発明の詳細な説明

発明の属する分野

本発明は、キャッシュメモリを有するデータ処理装置の記憶制御方式に関するものである。

従来技術の構成及び動作

従来より知られているキャッシュメモリを備えたデータ処理装置では、演算処理部が命令やオペランドの取り出しを行なう場合、まずキャッシュメモリに対してデータの読み出し要求を出し、このデータがキャッシュメモリ内に存在すればキャッシュメモリよりデータを取り出し、もし、このデータがキャッシュメモリ内に存在しなければ、主記憶に対してデータの読み出し要求を出してデータを取り出すよう構成されている。演算処理部の動作制御は、上記の命令やオペランドがキャッシュメモリ内に存在することを前提として実現されており、この命令やオペランドの取り出し要求に対して、これらのデータがすべてキャッシュメモリより読み出される場合には、演算処理部は無駄なく命令の実行を続けることができる。

しかしながら、データがキャッシュメモリ内に

存在せず、主記憶よりデータを読み出す場合には、主記憶の読み出し時間とキャッシュメモリの読み出し時間との差の分だけ命令の実行に余分の時間が掛ることになる。そこで、データがキャッシュメモリ内に存在せず、主記憶からデータを読み出すことにより命令の実行に余分に時間が掛ることを、以後ペナルティと呼ぶことにする。

第1図は従来のデータ処理装置におけるデータの読み出し方式を示す概略構成図である。第1図において、1は演算処理部、2はキャッシュメモリ部、3は主記憶である。今、演算処理部1が命令やオペランドの取り出しを要求する場合、まずキャッシュメモリ部2に対し制御線4を介してデータの読み出しリクエストを出し、同時にアドレス線5を介してメモリアドレスを送信する。キャッシュメモリ部2では演算処理部1から要求されたデータがキャッシュメモリ部2内に存在するか否かを調べ、もしそのデータが存在すれば、すなわちキャッシュヒットの場合には、キャッシュメモリ部2からデータを読み出してデータ線6を介

して演算処理部1へ転送し、もしデータが存在しない、すなわちキャッシュミスの場合には、制御線7を介して演算処理部1へその旨を報告するとともに、主記憶3に対して制御線8を介して上記データの読み出しリクエストを出し、同時にアドレス線9によりメモリアドレスを送信する。主記憶3は要求されたデータを読み出した後、このデータをデータ線10を介してキャッシュメモリ部2へ転送する。次いで、キャッシュメモリ部2は主記憶3からデータが転送されると、このデータをキャッシュメモリ内へ格納するとともに、データ線6を介して演算処理部1へ転送する。ここで、演算処理部1はキャッシュメモリ部2から制御線7を介してキャッシュミスの報告を受け取った場合には、上記の手順で主記憶3よりキャッシュメモリ部2を経由してデータが転送されるまでの間演算処理を続けることができなくなり、その結果として無駄な遊び時間を持つことになる。

第2図は第1図のデータ処理装置において、データの取り出し要求が発生した時の動作を示すタ

イムチャートである。第2図において、キャッシュメモリ部2の読み出し時間及び主記憶3の読み出し時間をそれぞれ1サイクル、6サイクルと仮定しているが、これらの値は一般のデータ処理装置のそれぞれに応じて任意に設定できることは云うまでもない。また、第2図において、B REQは演算処理部1のデータの読み出しリクエストのサイクル、C READ はキャッシュメモリ部2の読み出しサイクル、C MISSは演算処理部1に対するキャッシュミスの報告、M REQは主記憶3のデータの読み出しリクエストのサイクル、M READ は主記憶3の読み出しサイクル、D AVAILは演算処理部1においてデータが使用可能となるサイクルをそれぞれ示している。ここで、D AVAILの部分にある点線は、演算処理部1により要求されたデータがキャッシュヒットした場合に、演算処理部1においてデータが使用可能となることを表わしている。第2図に示す例では、データ処理装置がキャッシュヒットした場合に、3サイクルで演算処理部1においてデータが使用可能となる

のに対し、キャッシュミスした場合には、10サイクルで演算処理部1においてデータが使用可能となる。したがって、キャッシュミスが発生した場合には、7サイクルのペナルティが発生することになる。

従来技術の欠点

上記第1図に示される従来のデータ処理装置においては、データの取り出しを行なうに際し、まずキャッシュメモリ部2のアクセスを行ない、キャッシュミスした場合にはそれ以後に主記憶3の読み出しを開始するように構成されているので、キャッシュミスした場合に、主記憶3の読み出し時間とキャッシュメモリ部2の読み出し時間との差の分だけ命令の実行に余分の時間が掛かるものである。ところで、一般に主記憶3の読み出しはキャッシュメモリ部2の読み出しに比較して数倍ないし十数倍の時間を要するが、これらの差が大きければ大きい程ペナルティが増大するから、このペナルティの存在はデータ処理装置の性能低下に対して重大な要因になるという欠点があった。

本発明の目的

本発明は上記のような従来のものの欠点を除去するためになされたもので、キャッシュメモリを有するデータ処理装置において、データの取り出しを行なう際に、キャッシュメモリと主記憶のそれぞれに対して同時にデータの読み出しリクエスト及びメモリアドレスを転送する機能を備え、これによりキャッシュミスした場合に、データ処理装置の性能低下を軽減させるようにした記憶制御方式を提供することを目的としている。

本発明の構成及び動作

以下、本発明の一実施例を図について説明する。第3図は本発明の一実施例であるデータ処理装置における記憶制御方式を示す概略構成図である。第3図において、1は演算処理部、2はキャッシュメモリ部、3は主記憶をそれぞれ示している。今、演算処理部1が命令やオペランドの取り出しを要求する場合、まずキャッシュメモリ部2及び主記憶3に対し制御線11を介して同時にデータの読み出しリクエストを出し、アドレス線12により

演算処理部1に対してその旨を報告する。この場合、主記憶3は既に開始されているデータの読み出し動作を続行して要求されたデータを読み出した後、このデータをデータ線13を介して演算処理部1及びキャッシュメモリ部2へ転送する。

本発明に係る記憶制御方式を採用したデータ処理装置においても、演算処理部1はキャッシュメモリ部2からキャッシュミスの報告を受け取った場合には、上記第1図に示す従来方式のデータ処理装置の説明において述べたものと同じ理由により、無駄な遊び時間を持つことになる。しかしながら、本発明による記憶制御方式を採用したデータ処理装置は、これと同一のキャッシュメモリ部2の読み出し時間及び主記憶3の読み出し時間を持つ上記従来方式のデータ処理装置と比較した場合、キャッシュミスによるペナルティを減少させることができ、その結果ペナルティに起因するデータ処理装置の性能低下の軽減を可能となし得る時長を有している。

第4図は第3図のデータ処理装置において、デ

それぞれにデータアドレスを転送する。主記憶3はこのリクエストがキャッシュヒットするか否かにかわらずデータの読み出しを開始する。一方、キャッシュメモリ部2では上記リクエストのデータがキャッシュメモリ部2内に存在するか否かを調べる。ここで、もしキャッシュヒットしていればキャッシュメモリ部2からデータを読み出してデータ線13を介して演算処理部1へ転送するとともに、制御線14を介して主記憶3に対してデータの読み出し動作の中止命令を出す。主記憶3はこのデータの読み出し中止命令を受け取ると、それ以後のデータの読み出し動作を中止する。読み出し動作においては、主記憶3の内容が変更されることはないので、読み出し動作を中止した時点で、主記憶3の内容は読み出し動作を開始する以前の内容が保存されている。主記憶3は上記読み出し動作を中止した後、直ちに読み出し動作に関する制御情報を初期化して新たなリクエストの受け付けを可能とする。また、もしキャッシュミスしていれば、キャッシュメモリ部2は制御線7を介し

データの取り出し要求が発生した時の動作を示すタイムチャートである。第4図において、キャッシュメモリ部2の読み出し時間及び主記憶3の読み出し時間は、上記第2図で使用した値と同一のものを使用している。第3図に示すデータ処理装置では、キャッシュヒットした場合に、第4図に示されるように3サイクルで演算処理部1においてデータが使用可能となるのに対し、キャッシュミスした場合には、8サイクルで演算処理部1においてデータが使用可能となる。したがって、キャッシュミスが発生した場合には3サイクルのペナルティが発生することになる。このため、上記第2図に示した従来方式の例と第4図に示した本発明方式の例を比較すると、同一のキャッシュメモリ部2の読み出し時間及び同一の主記憶3の読み出し時間という条件の下において、本発明方式の例ではペナルティが3サイクル短縮されていることがわかる。上記第2図及び第4図に示す例ではキャッシュメモリ部2の読み出し時間及び主記憶3の読み出し時間として、それぞれ1サイクル、

6サイクルを仮定したが、実際のデータ処理装置では、キャッシュメモリの実現方法や使用する記憶素子のアクセス時間などに応じてさまざまな値を取り得ることは明らかである。

本発明の効果

以上のように、本発明に係る記憶制御方式によれば、キャッシュメモリを有するデータ処理装置において、データの取り出し要求が生じた場合に、前記キャッシュメモリと主記憶に対して同時に読み出し動作を開始させる手段と、前記キャッシュメモリに前記データが存在するキャッシュヒットの場合に、前記主記憶の読み出し動作を途中で中止させる手段とを備えてなる構成としたので、前記キャッシュメモリに前記データが存在しないキャッシュミスの場合に、不可避免的に存在する上記したペナルティを減少させることができるから、この種の従来例のデータ処理装置と比べて、極めて迅速に、かつ効率的にデータの消滅処理を行ない得るという優れた効果を奏するものである。

以下図面の簡単な説明

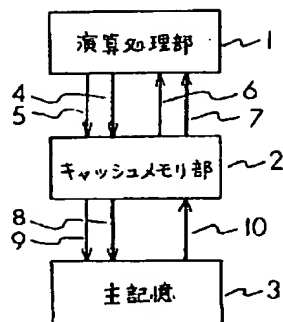
第1図は従来のデータ処理装置におけるデータの読み出し方式を示す概略構成図、第2図は第1図のデータ処理装置において、データの取り出し要求が発生した時の動作を示すタイムチャート、第3図は本発明の一実施例であるデータ処理装置における記憶制御方式を示す概略構成図、第4図は第3図のデータ処理装置において、データの取り出し要求が発生した時の動作を示すタイムチャートである。

1…演算処理部、2…キャッシュメモリ部、3…主記憶、4、7、8、11、14…制御線、5、9、12…アドレス線、6、10、13、15…データ線。

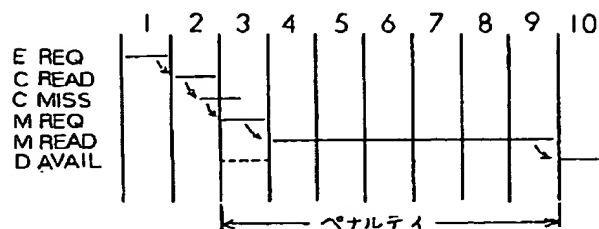
なお、図中、同一符号は同一、又は相等部分を示す。

代理人 橋 野 信 一

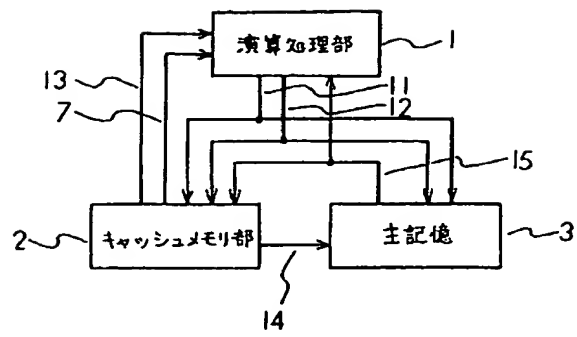
第 1 図



第 2 図



第 3 図



第 4 図

